

[19]中华人民共和国专利局

[51]Int.Cl⁶

H03K 17/687



[12] 发明专利申请公开说明书

[21] 申请号 98101926.9

[43]公开日 1998 年 12 月 23 日

[11] 公开号 CN 1202764A

[22]申请日 98.5.18

[30]优先权

[32]97.5.16 [33]JP[31]143319/1997

[71]申请人 日本电气株式会社

地址 日本国东京都

[72]发明人 侯野达哉

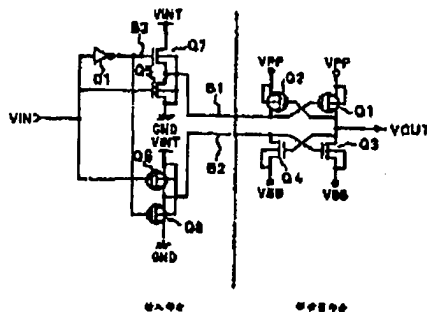
[74]专利代理机构 中科专利代理有限责任公司
代理人 刘晓峰

权利要求书 4 页 说明书 25 页 附图页数 9 页

[34]发明名称 电平转换器电路

[57]摘要

本发明提供一种带有输入部分和驱动器部分的电平转换器电路，其中位于驱动器部分且被连接到输出端的一个驱动器场效应管的栅极直接被位于输入部分且其栅极连接到输入端上的输入部分场效应管所驱动，这样可以使得这种新型的电平转换器电路能以高速度进行逻辑电平转换操作。



权 利 要 求 书

1、一种用于把一组原来的逻辑电平转换为另一组不同于所述原来的电压电平的转换后的电压电平的电压电平转换器电路,其特征在于其包括一个驱动器部分和一个连接到所述驱动器部分的输入部分,所述的驱动器部分带有一个输出输出信号的输出端,所述的输入部分带有一个输入输入信号的输入端,所述驱动器部分有选择地向所述输出端提供其中一个所述的转换后的电压电平,所述输入部分根据输入信号控制所述驱动器部分有选择地向所述输出端提供其中一个所述转换后的电压电平;

其中位于所述驱动器部分且直接连接到所述输出端的驱动器部分的晶体管的栅极被连接到位于所述输入部分且栅极直接到所述输入端的输入部分晶体管上,使得所述驱动器部分晶体管的栅极可以直接被所述输入部分晶体管所驱动。

2、如权利要求1所述的电压电平转换器电路,其特征是所述转换后的电压电平的高电平比所述原来的电压电平的高电平高,且所述转换后的电压电平的低电平比所述原来的电压电平的低电平低。

3、如权利要求1所述的电压电平转换器电路,其特征是所述输入部分包括:

一个带有连接到所述输入端的输入端的反相器;

串联于分别带有高电压电平和原来的低电压电平的高电压线和低电压线之间晶体管,且该晶体管的栅极连接到所述输入端和所述反相器的输出端,并且所述晶体管驱动位于所述驱动器部分的驱动器部分晶体管的栅极。

4、如权利要求1所述的电压电平转换器电路,其特征是所述输入部分包括:

一个带有连接到所述输入端的输入端的反相器;

第一组串联于分别带有高的转换后电压电平和原来的低电压电平的

高电压线和低电压线之间的晶体管,且该晶体管的栅极被连接到所述输入端和所述反相器的输出端,并且所述晶体管驱动位于所述驱动器部分的其中一个驱动器部分晶体管的栅极。

第二组串联于分别带有原来的高电压电平和低的转换后电压电平的高电压线和低电压线之间的晶体管,且该晶体管的栅极被连接到所述输入端和所述反相器的输出端,并且所述晶体管驱动位于所述驱动器部分的另一个驱动器部分晶体管的栅极。

5、如权利要求1所述的电压电平转换器电路,其特征是所述输入部分包括:

一个带有连接到所述输入端的输入端的反相器;

第一组串联于带有原来的低电压电平的低电压线和所述反相器输出端之间的晶体管且该晶体管的栅极连接到所述输入端和带有原来的高电压电平的高电压线路上,并且该晶体管驱动位于所述驱动器部分的其中一个驱动器部分晶体管的栅极;

第二组串联于带有原来的高电压电平的低电压线和所述反相器输出端之间的晶体管且该晶体管的栅极连接到所述输入端和带有原来的低电压电平的低电压线上,并且该晶体管驱动位于所述驱动器部分的另一个驱动器部分晶体管的栅极。

6、如权利要求1所述的电压电平转换器电路,其特征是所述输入部分包括:

一个第一CMOS反相器位于带有原来的低电压电平的低电压线和连接到带有原来的高电压的高电压线之间,且所述第一CMOS反相器上带有连接到所述输入端的栅极,并且所述第一CMOS反相器驱动位于所述驱动器部分的其中一个所述驱动器晶体管的栅极;

一个第二CMOS反相器位于带有原来的高电压电平的高电压线和连接到带有原来的低电压的低电压线之间,且所述第二CMOS反相器上带有连接到所述输入端的栅极,并且所述第二CMOS反相器驱动位于所述驱动器部分的其中一个所述驱动器晶体管的栅极;

7、一种包含于一个把一组原来的逻辑电平转换为另一组不同于所述

电压电平的另一组转换后的电压电平的电压电平转换器电路中且连接到驱动器部分的输入部分的电路系统,其特征在于其中所述驱动器部分带有一个输出输出信号的输出端,所述的输入部分带有一个输入输入信号的输入端,所述驱动器部分有选择地向所述输出端提供其中一个所述的转换后的电压电平,所述输入部分根据输入信号控制所述驱动器部分有选择地向所述输出端提供其中一个所述转换后的电压电平;

其中位于所述驱动器部分且被直接连接到所述输出端的驱动器部分的晶体管的栅极被连接到位于所述输入部分且栅极直接到所述输入端上的输入部分晶体管上,使得所述驱动器部分晶体管的栅极直接被所述输入部分晶体管所驱动。

8、如权利要求7所述的电路系统,其特征是所述转换后的电压电平的高电平比所述原来的电压电平的高电平高,且所述转换后的电压电平的低电平比所述原来的电压电平的低电平低。

9、如权利要求7所述的电压电平转换器电路,其特征是所述输入部分包括:

一个带有连接到所述输入端的输入端的反相器;

串联于分别带有高电压电平和原来的低电压电平的高电压线和低电压线之间晶体管,且该晶体管的栅极连接到所述输入端和所述反相器的输出端,并且所述晶体管驱动位于所述驱动器部分的驱动器部分晶体管的栅极。

10、如权利要求7所述的电压电平转换器电路,其特征是所述输入部分包括:

一个带有连接到所述输入端的输入端的反相器;

第一组串联于分别带有高的转换后电压电平和原来的低电压电平的高电压线和低电压线之间的晶体管,且该晶体管的栅极被连接到所述输入端和所述反相器的输出端,并且所述晶体管驱动位于所述驱动器部分的其中一个驱动器部分晶体管的栅极;

第二组串联于分别带有原来的高电压电平和低的转换后电压电平的高电压线和低电压线之间的晶体管,且该晶体管的栅极被连接到所述输入

端和所述反相器的输出端,并且所述晶体管驱动位于所述驱动器部分的另一个驱动器部分晶体管的栅极。

1 1、如权利要求 7 所述的电压电平转换器电路,其特征是所述输入部分包括:

一个带有连接到所述输入端的输入端的反相器;

第一组串联于带有原来的低电压电平的低电压线和所述反相器输出端之间的晶体管且该晶体管的栅极连接到所述输入端和带有原来的高电压电平的高电压线上,并且该晶体管驱动位于所述驱动器部分的其中一个驱动器部分晶体管的栅极;

第二组串联于带有原来的高电压电平的低电压线和所述反相器输出端之间的晶体管且该晶体管的栅极连接到所述输入端和带有原来的低电压电平的低电压线上,并且该晶体管驱动位于所述驱动器部分的另一个驱动器部分晶体管的栅极。

1 2、如权利要求 7 所述的电压电平转换器电路,其特征是所述输入部分包括:

一个第一 CMOS 反相器位于带有原来的低电压电平的低电压线和连接到带有原来的高电压的高电压线之间,且所述第一 CMOS 反相器上带有连接到所述输入端的栅极,并且所述第一 CMOS 反相器驱动位于所述驱动器部分的其中一个所述驱动器晶体管的栅极;

一个第二 CMOS 反相器位于带有原来的高电压电平的高电压线和连接到带有原来的低电压的低电压线之间,且所述第二 CMOS 反相器上带有连接到所述输入端的栅极,并且所述第二 CMOS 反相器驱动位于所述驱动器部分的其中一个所述驱动器晶体管的栅极;

说明书

电平转换器电路

本发明涉及一种逻辑电平转换器电路，特别是一种用于把高和低的逻辑电压电平转换为与原电平不同的高和低的逻辑电平。

现在已有一种字线驱动电路被用作把高和低的电压电平转换为与原电平不同的高和低的逻辑电平的电平转换器电路。这种字线驱动电路已在《ISSCC'95技术论文文摘》的《用于低电压操作和/或千兆规模的动态随机存储器的电路设计》中公开。图1为说明这种用于把高和低的逻辑电压电平转换为与原来电平不同的高和低的逻辑电平的傳統字线驱动器的电路图，其中对应于内部电源电压 V_{INT} 的高电平被转换为对应于辅助电源电压 V_{PP} 的另一不同的高电压电平，而对应于地电平 GND 的低电平被转换为对应于浅电压电平 V_{BB} 的另一不同的低电压电平。

为了减小阈值漏电流，可以在备用状态时把字线电压控制在一个负电压电平上，而在有效状态时把字线电压控制于一个高于内部操作电压电平的增高电压电平上。

在上述字线驱动电路中，节点A3被作为逻辑门的ROM解码器的输出所驱动。在这里考虑到节点A3可以间接地为来自另一设备中的驱动器的一个路由选择所驱动。图2为说明另一种用于把高和低的逻辑电压电平转换为与原电平不同的高和低的逻辑电平的傳統字线驱动器电路的电路图，其中节点A3由来自另一设备中的驱动器的一个路由选择所驱动。既然一个来自反相器D3的输入信号通过线路H1的负载传输到输入部分VIN，则来自另一设备中的反相器D3的输入波形具有大的上升沿及全时。因此，该逻辑电压电平在输入部分VIN的转换时间较大，则在反相器D3输出的电压电平的下降沿时有一个较大的击穿电流I1从电源VPP经线路H1和晶体管Q2和Q5流到地GND。

另外，在反相器D 3输出的电压电平的上升沿时有一个较大的击穿电流I 2从电源V I N T经线路H 1和晶体管Q 6和Q 4流到电源V B B。为了避免这一大击穿电流的问题，最好使节点A 3直接由该逻辑门的输出所驱动。

下面主要针对图1所示的传统电平转换器电路的构造及其操作进行说明，其中节点A 3直接由反相器D 2所驱动。图4为说明图1所示的传统电平转换器电路的波形的时序图。该传统电平转换器具有一个输入部分和一驱动器部分。该传统电平转换电路的驱动器部分中有两个衬底电压为V P P的P沟道M O S场效应管Q 1和Q 2，有两个衬底电压为V B B的N沟道M O S场效应管Q 3和Q 4。该传统电平转换器电路的输入部分中有一个衬底电压为地电平而栅极电压为V I N T的N沟道M O S场效应管Q 5，及一个衬底电压为V I N T且栅极电压为地电平的P沟道M O S场效应管。该传统电平转换器电路的输入部分中还有一个反相器D 2，该反相器由分别与N沟道M O S场效应管Q 5和P沟道M O S场效应管Q 6相同尺寸的一个N沟道M O S场效应管和一个P沟道M O S场效应管组成。

在该输入部分，反相器D 2上有一个与该传统电平转换器电路的输入端V I N相连的输入端及一个与节点A 3相连的输出端。N沟道M O S场效应管Q 5串接在节点A 3与节点A 1之间，而P沟道M O S场效应晶体管Q 6串接在节点A 3与节点A 2之间。

首先考虑输出电压V O U T升高时的操作情况，当输入电压V I N处于地电位G N D，则在反相器D 2输出端的节点A 3的电压电平为V I N T，节点A 2的电压电平为V I N T，输出端V O U T的电压电平为V B B。晶体管Q 5、Q 1和Q 4都处于截止状态（或关状态），而其余晶体管Q 6、Q 2和Q 3处于导通状态（或开状态），因此各个节点都连接到电源电压上。

当输入电压V I N从地电平G N D上升到电压电平V I N T时，节点A 3的电势则从电压电平V I N T下降到地电平G N D。既然此时的晶体管Q 6处于开状态，则节点A 2的电势下降到接近于P沟道晶体管的负阈值电压V I P的绝对值| V T P |，因此晶体管Q 6的源极和漏极电压（或节点A 2和A 3的电压）下降。结果，晶体管Q 6的驱动能

力下降且节点A 2的电势渐渐下降。

另一方面，由于节点A 3的电势下降到由 $V_{INT} - V_{TN}$ （其中 V_{TN} 为N沟道MOS场效应管的正阈值电压）的差值所限定的，则晶体管Q 5处于导通状态或开状态，因此节点A 1的电势上升。当节点A 1的电势不高于电压电平 $V_{PP} - |V_{TP}|$ 时，晶体管Q 1导通，又由于晶体管Q 3保持为导通状态或开状态，则输出 V_{OUT} 的电压电平逐步上升。此后，当输出端 V_{OUT} 的电压电平上升到不低于电压电平 $V_{BB} + V_{TN}$ 时，晶体管Q 4导通，因此，节点A 2的电势下降到电压电平 V_{BB} ，结果，晶体管Q 3和Q 6截止。此时，输出电压 V_{OUT} 上升到电压电平 V_{PP} 且晶体管Q 1和Q 5导通。

下面考虑输出电压 V_{OUT} 下降时的操作情况。当输入电压 V_{IN} 处于电压电平 V_{INT} 时，则节点A 3处于地电平 GND ，节点A 2处于电压电平 V_{BB} ，输出电压 V_{OUT} 处于电压电平 V_{PP} 。晶体管Q 6、Q 2和Q 3截止，而其他晶体管Q 5、Q 1和Q 4导通，这样各个节点被连接到电源压上。

当输入电压 V_{IN} 从电压电平 V_{INT} 下降到地电平 GND 时，则节点A 3的电压从地电平上升到电压电平 V_{INT} 。由于这时的晶体管Q 5处于导通状态，则节点A 1的电压电平上升到接近于电压电平 $V_{INT} - V_{IN}$ 。

由于晶体管Q 5的源极和漏极上的电压（或节点A 1和A 3的电压）下降了，则晶体管Q 5的驱动能力也下降，且节点A 1的电势逐步下降。

另一方面，由于节点A 3的电势上升到电压电平 $|V_{TN}|$ ，则晶体管Q 6导通，因此节点A 2的电势上升。当节点A 2的电势变得不高于电压电平 $V_{BB} + V_{TN}$ 时，则晶体管Q 3导通，因此输出 V_{OUT} 的电压电平逐步下降。此后，当输出端 V_{OUT} 的电压电平下降到不高于电压电平 $V_{PP} + |V_{TN}|$ 时，则晶体管Q 2导通，因此节点A 1的电势上升到电压电平 V_{PP} 。结果，晶体管Q 1和Q 5导通。这时，输出电压 V_{OUT} 下降到电压电平 V_{BB} 且晶体管Q 4处于截止状态，晶体管Q 3和Q 6处于导通状态。

在上述方式中，该电平转换器电路把逻辑电平（例如：高电平：对

应于内部电源电压的 V_{INT} 和低电平：对应于地电平的 GND ）转换为与原电平不同的逻辑电平（例如，高电平：对应于辅助电源电压的 V_{PP} ，和低电平：负的低电压 V_{BB} ）。

在上述的传统电平转换器电路中，反相器 D_2 在输入部分被作为一个输入逻辑门使用，而晶体管 Q_5 和 Q_6 被作为传输门晶体管使用，用于防止节点 A_3 的逻辑电平被传输到电压电平 V_{PP} 或 V_{BB} 。在上述传统电平转换器电路的输入部分，来自输入逻辑门或节点 A_3 的电压电平的输出被通过传输门晶体管 Q_5 和 Q_6 传输到节点 A_1 和 A_2 ，这样来自传输门晶体管 Q_5 和 Q_6 或节点 A_1 和 A_2 的电压电平的输出被输入到驱动器部分。

在上述传统电平转换器电路中有如下问题。

在输出电压 V_{OUT} 的上升操作中，位于驱动器部分的P沟道MOS场效应管 Q_1 被多个晶体管所驱动，例如，包括位于输入部分作为输入逻辑门的反相器 D_2 中的N沟道MOS场效应晶体管和位于输入部分的N沟道传输门MOS场效应管 Q_5 。

另外，在输出电压 V_{OUT} 的下降操作中，位于驱动器部分的N沟道MOS场效应晶体管 Q_3 被多个晶体管所驱动，例如，包括位于输入部分作为输入逻辑门的反相器 D_2 中的P沟道MOS场效应管和位于输入部分的P沟道传输门MOS场效应管 Q_6 。

由于位于驱动器部分的每个驱动器晶体管被位于输入部分的多个晶体管所驱动，则上述的传统电平转换器电路不能够以高速度进行逻辑电平转换操作。

在上述情况中，要求开发一种能避免上述问题的新的电平转换器电路。

本发明的目的之一是提供一种能够避免上述问题的新的电平转换器电路。

本发明的目的之二是提供一种能够高速度进行电平转换操作的新的电平转换器电路。

本发明的目的之三是提供一种新的电平转换器电路，使得其中的位于驱动器部分且连接到输出端的驱动器场效应管的栅极直接由一个其栅极连接到输入端的位于输入部分的场效应管所驱动。

本发明的上述目的以及其他未明述的目的、特点及优点在下面的说明中将变得显而易见。

根据本发明，在此提供一种新型的具有输入部分和驱动器部分的电平转换器电路，其中一个位于驱动器部分且连接到输出端的驱动器场效应管的栅极由一个位于输入部分且栅极连接到输入端的输入部分场效应管所直接驱动，这样可使得该新型的电平转换器电路能以高速度进行电平转换操作。

下面将根据附图说明本发明的最佳实施例。

图 1 为说明这种用于把高和低的逻辑电压电平转换为与原电平不同的高和低的逻辑电平的传统字线驱动器电路的电路图。

图 2 为说明另一种用于把高和低的逻辑电压电平转换为与原电平不同的高和低的逻辑电平的传统字线驱动器电路的电路图，其中节点 A 3 间接地由来自另一设备中的驱动器的路由选择所驱动。

图 3 为说明另一种用于把高和低的逻辑电压电平转换为与原电平不同的高和低的逻辑电平的传统字线驱动器电路的电路图，其中节点 A 3 间接地由来自另一设备中的驱动器的路由选择所驱动。

图 4 为说明图 1 所示的传统电平转换器电路的波形的时序图。

图 5 为说明根据本发明第一实施例的一种能以高速度进行逻辑电压电平转换操作的新型电平转换器电路的电路图。

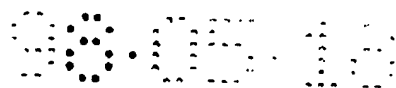
图 6 为说明根据本发明第二实施例的一种能以高速度进行逻辑电压电平转换操作的新型电平转换器电路的电路图。

图 7 为说明根据本发明第三实施例的一种能以高速度进行逻辑电压电平转换操作的新型电平转换器电路的电路图。

图 8 为说明根据本发明第四实施例的一种能以高速度进行逻辑电压电平转换操作的新型电平转换器电路的电路图。

图 9 为说明图 5 所示的新型电平转换器电路的波形的时序图。

首先，本发明提供一种用于把一组原逻辑电压电平转换为另一组不同于原电平的另一组转换后的电压电平的电压电平转换器电路。该电压电平转换器电路包括一个驱动器部分及一个连接到该驱动器部分的输入部分。该驱动器部分具有一个输出输出信号的输出端。该输入端部分具有一个输入输入信号的输入端。该驱动器部分有选择地向输出端输出



一个转换后的电压电平。该输入部分根据输入信号有选择地向输出端提供一个转换后的电压电平。位于驱动器部分且直接连接到输出端的驱动器部分晶体管的栅极连接到位于输入部分且栅极直接连接到输入端的输入部分晶体管上，这样使得驱动器部分晶体管的栅极可以被输入部分晶体管所直接驱动。

最好是转换后的电压电平的高电平比原电压电平的高电平高，且转换后的电压电平的低电平比原电压电平的低电平低。

其中输入部分可以是包括：一个带有连接到输入端的输入端的反相器；以及串联于分别具有高电压电平和原来的低电压电平的高和低压线路之间的晶体管，且该晶体管的栅极分别连接到输入端和反相器的输出端，并且该晶体管驱动位于驱动器部分的驱动器晶体管的栅极。

该输入部分也可以包括：一个带有连接到输入端的输入端的反相器；第一组串联于分别具有转换后的高电压电平和原来的低电压电平的高压线路和低压线路之间的晶体管，且该晶体管的栅极连接到输入端和反相器的输出端，并且该晶体管驱动位于驱动器部分的一个驱动器晶体管的栅极；第二组串联于分别具有转换后的高电压电平和原来的低电压电平的高压线路和低压线路之间的晶体管，且该晶体管的栅极连接到输入端和反相器的输出端，并且该晶体管驱动位于驱动器部分的另一个驱动器晶体管的栅极；

该输入部分还可以是包括：一个带有连接到输入端的输入端的反相器；第一组串联于具有原来低电压电平的低压线路与转换器的输出端之间的晶体管，该晶体管的栅极连接到输入端及具有原来的高电压电平的高压线路上，并且该晶体管驱动位于驱动器部分的一个驱动器晶体管的栅极；第二组串联于具有原来高电压电平的低压线路与转换器的输出端之间的晶体管，该晶体管的栅极连接到输入端及具有原来的低电压电平的低压线路上，并且该晶体管驱动位于驱动器部分的另一个驱动器晶体管的栅极。

该输入部分还可以包括：一个连接于一条具有原来的低电压电平的低压线路与一个连接到具有原来的高电压电平的高压线路的晶体管之间第一CMOS反相器，且该第一CMOS反相器的栅极连接到输入端，并且该第一CMOS反相器驱动位于驱动器部分的一个驱动器晶体管的

栅极；一个连接于一条具有原来的高电压电平的高压线路与一个连接到具有原来的低电压电平的低压线路的晶体管之间第二 CMOS 反相器，且该第二 CMOS 反相器的栅极连接到输入端，并且该第二 CMOS 反相器驱动位于驱动器部分的一个驱动器晶体管的栅极；

第二，本发明提供一个输入部分的电路系统，该输入部分位于一个用于把一组原来的逻辑电压电平转换为另一组转换后的不同于原来电平的电压电平的电压电平转换器电路中，并连接到该电压电平转换器电路的驱动器部分。该驱动器部分具有一个输出输出信号的输出端。该输入部分具有一个输入输入信号的输入端。驱动器部分有选择地向输出端提供一个转换后的电压电平。输入部分根据输入信号控制驱动器部分有选择地向输出端提供一个转换后的电压电平。位于驱动器部分且被直接连接到输出端的驱动器部分晶体管的栅极连接到位于输入部分且其栅极直接连接到输入端的输入部分晶体管上，这样驱动器部分晶体管的栅极可以直接被输入部分晶体管所驱动。

最好是转换后的电压电平的高电平比原电压电平的高电平高，且转换后的电压电平的低电平比原电压电平的低电平低。

其中输入部分可以是包括：一个带有连接到输入端的输入端的反相器；具有串联于分别具有高电压电平和原来的低电压电平的高和低压线路之间的晶体管，且该晶体管的栅极分别连接到输入端和反相器的输出端，并且该晶体管驱动位于驱动器部分的驱动器晶体管的栅极。

该输入部分也可以是包括：一个带有连接到输入端的输入端的反相器；第一组串联于分别具有转换后的高电压电平和原来的低电压电平的高压线路和低压线路之间的晶体管，且该晶体管的栅极连接到输入端和反相器的输出端，并且该晶体管驱动位于驱动器部分的一个驱动器晶体管的栅极；第二组串联于分别具有转换后的高电压电平和原来的低电压电平的高压线路和低压线路之间的晶体管，且该晶体管的栅极连接到输入端和反相器的输出端，并且该晶体管驱动位于驱动器部分的另一个驱动器晶体管的栅极；

该输入部分还可以是包括：一个带有连接到输入端的输入端的反相器；第一组串联于具有原来低电压电平的低压线路与转换器的输出端之间的晶体管，该晶体管的栅极连接到输入端及具有原来的高电压电平

的高压线路上，并且该晶体管驱动位于驱动器部分的一个驱动器晶体管的栅极；第二组串联于具有原来低电压电平的低电压线路与转换器的输出端之间的晶体管，该晶体管的栅极连接到输入端及具有原来的低电压电平的低电压线路上，并且该晶体管驱动位于驱动器部分的另一个驱动器晶体管的栅极。

该输入部分还可以包括：一个连接于一条具有原来的低电压电平的低电压线路与一个连接到具有原来的高电压电平的高压线路的晶体管之间第一CMOS反相器，且该第一CMOS反相器的栅极连接到输入端，并且该第一CMOS反相器驱动位于驱动器部分的一个驱动器晶体管的栅极；一个连接于一条具有原来的高电压电平的高压线路与一个连接到具有原来的低电压电平的低电压线路的晶体管之间第二CMOS反相器，且该第二CMOS反相器的栅极连接到输入端，并且该第二CMOS反相器驱动位于驱动器部分的一个驱动器晶体管的栅极。

第一实施例

下面参照图5和图9详细说明本发明的第一实施例。图5为说明一种能以高速度进行逻辑电压电平转换操作的新型电平转换器电路的电路图。图9为说明图所示的新型电平转换器电路的波形的时序图。下面介绍这种新型电平转换器电路的电路结构。

这种新型电平转换器包括一个输入部分和一个驱动器部分。在输入部分有一个输入输入电压 V_{IN} 的输入端，而在驱动器部分有一个输出输出电压 V_{OUT} 的输出端。输入部分与驱动器部分之间通过第一、第二节点B1和B2相连接。在输入部分有一个偏置于内部电源电压 V_{INT} 与地电平GND之间的输入逻辑门。在驱动器部分有一个偏置于一个高于内部电源电压 V_{INT} 的高电源电压 V_{PP} 与一个低于地电平GND的低电源电压之间的驱动器电路。这种新型的电平转换器电路把内部逻辑电平，例如，高电平：内部电源电压 V_{INT} ，及低电平：地电平GND转换为高电源电压 V_{PP} 和低电源电压 V_{BB} 。

这种新型电平转换器电路中的驱动器部分的电路结构与上述的传统电平转换器电路的驱动器部分相同。即该新型电平转换器电路的驱动器部分中包括第一第二P沟道MOS场效应管Q1和Q2及第三和第四N沟道MOS场效应管Q3和Q4。第一P沟道MOS场效应管Q1串联

于一条带有高电源电压 V_{PP} 的高电源电压线路 V_{PP} 与输出端 V_{OUT} 之间。第一P沟道MOS场效应管 Q_1 的衬底电连接到高电源电压线路 V_{PP} 上，这样该衬底上就带有高电源电压 V_{PP} 。第一P沟道MOS场效应管 Q_1 的栅极连接到第一节点 B_1 。第三N沟道MOS场效应管 Q_3 串联于一条带有低电源电压 V_{BB} 的低电源电压线路 V_{BB} 与输出端 V_{OUT} 之间。该第三N沟道MOS场效应管 Q_3 的一个衬底电连接到该低电源电压线路 V_{BB} 上，这样该衬底上就带有低电源电压 V_{BB} 。第三N沟道MOS场效应管 Q_3 的一个栅极连接到第二节点 B_2 上。第二P沟道MOS场效应管 Q_2 串联于带有高电源电压 V_{PP} 的高电源电压线路 V_{PP} 与第一节点 B_1 之间。第二P沟道MOS场效应管 Q_2 的一个衬底电连接到高电源电压线路 V_{PP} 上，这样该衬底上就带有高电源电压 V_{PP} 。第二P沟道MOS场效应管 Q_2 的栅极连接到输出端 V_{OUT} 。第四N沟道MOS场效应管 Q_4 串联于带有低电源电压 V_{BB} 的低电源电压线路 V_{BB} 与第二节点 B_2 之间。第四N沟道MOS场效应管 Q_4 的衬底电连接到低电源电压线路 V_{BB} 上，这样该衬底上就带有低电源电压 V_{BB} 。第四N沟道MOS场效应管 Q_4 的栅极连接到输出端 V_{OUT} 。

该新型电平转换器电路的输入部分中包括：一个反相器 D_1 ，第五和第七N沟道MOS场效应管 Q_5 和 Q_7 ，以及第六和第八P沟道MOS场效应管 Q_6 和 Q_8 。反相器 D_1 具有一个连接到输入端 V_{IN} 的输入端和一个连接到第三节点 B_3 的输出端。第五N沟道MOS场效应管 Q_5 串联于第一节点 B_1 与带有地电压 GND 的地线 DND 上之间。第五N沟道MOS场效应管 Q_5 的衬底电连接到地线 GND 上，这样该衬底上带有地电压 GND 。第五N沟道MOS场效应管 Q_5 的栅极电连接到输入端 V_{IN} 。第六P沟道MOS场效应管 Q_6 串联于第二节点 B_2 与带有内部电源电压 V_{INT} 的一个内部电源电压线 V_{INT} 之间。第六P沟道MOS场效应管 Q_6 的衬底电连接到内部电源电压线 V_{INT} 上，这样该衬底上带有内部电源电压 V_{INT} 。第六P沟道MOS场效应管 Q_6 的栅极电连接到输入端 V_{IN} 。第七N沟道MOS场效应管 Q_7 串联于第一节点 B_1 与带有内部电源电压 V_{INT} 的一个内部电源电压线 V_{INT} 之间。第七N沟道MOS场效应管 Q_7 的衬底连

接到内部电源电压线 V_{INT} 上, 这样该衬底上带有内部电源电压 V_{INT} 。第七N沟道MOS场效应管 Q_7 的栅极连接到第三节点 B_3 。第八P沟道MOS场效应管 Q_8 串联于第二节点 B_2 与带有地电压 GND 的地线 DND 上之间。第八P沟道MOS场效应管 Q_8 的衬底连接到地线 GND 上, 这样该衬底上带有地电压 GND 。第八P沟道MOS场效应管 Q_8 的栅极连接到第三节点 B_3 。第五和第七N沟道MOS场效应管 Q_5 和 Q_7 串联于内部电源电压线 V_{INT} 与地线 GND 之间。第六和第八P沟道MOS场效应管也串联于内部电源电压线 V_{INT} 与地线 GND 之间。

与传统电平转换电路相比较, 该新型电平转换器电路的晶体管 Q_1 、 Q_2 、 Q_3 、 Q_4 、 Q_5 和 Q_6 的尺寸分别与传统电平转换器电路中的晶体管 Q_1 、 Q_2 、 Q_3 、 Q_4 、 Q_5 和 Q_6 的尺寸相同。其余晶体管 Q_7 和 Q_8 的尺寸分别与晶体管 Q_5 和 Q_6 的尺寸相同或比它们小。反相器 D_1 具有能够驱动晶体管 Q_7 和 Q_8 的尺寸。

下面首先说明输出电压 V_{OUT} 的上升操作。

当输入电压 V_{IN} 处于地电平 GND , 则位于反相器 D_1 输出端的第三节点 B_3 的电压电平为 V_{INT} , 而第一节点 B_1 的电压电平为 V_{PP} , 第二节点 B_2 的电压电平为 V_{INT} , 输出端 V_{OUT} 的电压电平为 V_{BB} 。晶体管 Q_1 、 Q_5 、 Q_7 、 Q_4 和 Q_8 截止, 而其余晶体管 Q_6 、 Q_2 和 Q_3 导通, 因此各个节点就被连接到各电源电压上。

当输入电压 V_{IN} 从地电平 GND 上升到电压电平 V_{INT} 时, 第三节点 B_3 的电势从电压电平 V_{INT} 下降到地电平 GND 。

当输入电压 V_{IN} 变得不低于对应于N沟道MOS场效应管阈值电压的电压电平 V_{TN} 时, 则带有接收输入电压 V_{IN} 的栅极的第五晶体管 Q_5 导通, 另外如果作为反相器 D_1 输出端的第三节点 B_3 的电势下降, 则带有连接到第三节点 B_3 的栅极的第七晶体管 Q_7 截止, 因此, 第一节点 B_1 的电势下降到地电平 GND 。

当输入电压 V_{IN} 变得不低于电压电平 $V_{INT} - |V_{TP}|$ 时 (其中 V_{TP} 为P沟道MOS场效应管的阈值电压), 则带有接收输入电压 V_{IN} 的栅极的第六晶体管 Q_6 截止, 另外如果作为反相器 D_1 输出端的第三节点 B_3 的电势下降到地电平 GND , 则栅极连接到第三节

点B 3的第八晶体管Q 8导通，因此第二节点B 2的电势下降到接近电压电平 $|V_{TP}|$ 。由于此时第八晶体管Q 8的源极与栅极之间的电压差（或者第二节点B 2与地电线GND之间的电压差）下降了，则第八晶体管Q 8的驱动能力随之下降，因此第二节点B 2的电压电平逐步下降。

当第一节点B 1的电压电平（或电势）不高于电压电平 $V_{INT} - V_{TP}$ 时，则第一晶体管Q 1导通，而第三晶体管Q 3保持为导通状态，因此输出电压 V_{OUT} 逐步上升。

当输出电压 V_{OUT} 不低于电压电平 $V_{BB} + V_{TN}$ 时，第四晶体管Q 4导通，因此第二节点B 2的电压电平下降到电压电平 V_{BB} 。结果，第三和第八晶体管Q 3和Q 8截止。这时，输出电压 V_{OUT} 上升到电压电平 V_{PP} 且第二晶体管Q 2截止，而第一和第五晶体管Q 1和Q 5保持为导通状态。

接着下面说明输出电压 V_{OUT} 的下降操作。

当输入电压 V_{IN} 处于电压电平 V_{INT} ，则位于反相器D 1输出端的第三节点B 3的电压电平为地电平GND，而第一节点B 1的电压电平为地电平GND，第二节点B 2的电压电平为 V_{BB} ，输出端 V_{OUT} 的电压电平为 V_{PP} 。晶体管Q 2、Q 3、Q 6、Q 7和Q 8截止，而其余晶体管Q 1、Q 4和Q 5导通，因此各个节点就被连接到各电源电压上。

当输入电压 V_{IN} 从电压电平 V_{INT} 下降到地电平GND时，第三节点B 3的电势从地电平GND上升到电压电平 V_{INT} 。

当输入电压 V_{IN} 变得不高于电压电平 $V_{INT} - |V_{TP}|$ 时，则带有接收输入电压 V_{IN} 的栅极的第六晶体管Q 6导通，另外如果作为反相器D 1输出端的第三节点B 3的电势上升到电压电平 V_{INT} ，则带有连接到第三节点B 3的栅极的第八晶体管Q 8截止，因此，第二节点B 2的电势上升电压电平 V_{INT} 。

当输入电压 V_{IN} 变得不高于电压电平 V_{TN} 时，则带有接收输入 V_{IN} 的栅极的第五晶体管Q 5截止，另外如果作为反相器D 1输出端的第三节点B 3的电势上升到电压电平 V_{INT} ，则栅极连接到第三节点B 3的第七晶体管Q 7导通，因此第一节点B 1的电势上升到接近电

压电平 $V_{INT} - V_{TN}$ 。

由于此时第七晶体管 Q_7 的源极和漏极的电压（或者第一节点 B_1 与内部电源电压线 V_{INT} 的电压）下降了，则第七晶体管 Q_7 的驱动能力随之下降，因此第一节点 B_1 的电压电平逐步上升。

当第二节点 B_2 的电压电平（或电势）不低于电压电平 $V_{BB} - V_{TN}$ 时，则第三晶体管 Q_3 导通。

当输出电压 V_{OUT} 不高于电压电平 $V_{PP} - |V_{TP}|$ 时，第二晶体管 Q_2 导通，因此第一节点 B_1 的电压电平上升到电压电平 V_{PP} 。结果，第一和第七晶体管 Q_1 和 Q_7 截止。这时，输出电压 V_{OUT} 下降到电压电平 V_{BB} 且第四晶体管 Q_4 截止，而第三和第六晶体管 Q_3 和 Q_6 保持为导通状态。

在上述图 5 所示的新型电平转换器电路中，位于驱动器部分的第一晶体管 Q_1 的栅极由位于输入部分且带有接收输入电压 V_{IN} 的栅极的单个晶体管 Q_5 所驱动，而位于驱动器部分的第三晶体管 Q_3 的栅极由位于输入部分且带有接收输入电压 V_{IN} 的栅极的单个晶体管 Q_6 所驱动，因此，位于输入部分用于驱动位于驱动器部分的晶体管的栅极的晶体管的驱动能力得到提高，这使得该电平转换器电路可以以高速度进行输出电压电平转换操作。

第二实施例

下面参照图 6 详细说明本发明的第二实施例。图 6 为说明一种能以高速度进行逻辑电压电平转换操作的新型电平转换器电路的电路图。这种第二实施例的新型电平转换器与第一实施例的电路在电路结构上的不同点在于第七晶体管 Q_7 连接到较高的电源电压 V_{PP} 上，而第八晶体管 Q_8 连接到较低的电源电压 V_{BB} 上。第二实施例的新型电平转换器电路的时序波形与图 5 所示的第一实施例中的波形相同。这种新型电平转换器电路把内部逻辑电平，例如，高电平：内部电源电压 V_{INT} ，及低电平：地电平 GND ，转换为高电源电压 V_{PP} 和低电源电压 V_{BB} 。

这种新型电平转换器包括一个输入部分和一个驱动器部分。在输入部分有一个输入输入电压 V_{IN} 的输入端，而在驱动器部分有一个输出输出电压 V_{OUT} 的输出端。输入部分与驱动器部分之间通过第一、第

二节点B 1和B 2相连接。

这种新型电平转换器电路中的驱动器部分的电路结构与上述的传统电平转换器电路的驱动器部分相同。即该新型电平转换器电路的驱动器部分中包括第一第二P沟道MOS场效应管Q 1和Q 2及第三和第四N沟道MOS场效应管Q 3和Q 4。第一P沟道MOS场效应管Q 1串联于一条带有高电源电压V P P的高电源电压线路V P P与输出端V O U T之间。第一P沟道MOS场效应管Q 1的衬底电连接到高电源电压线路V P P上，这样该衬底上就带有高电源电压V P P。第一P沟道MOS场效应管Q 1的栅极连接到第一节点B 1。第三N沟道MOS场效应管Q 3串联于一条带有低电源电压V B B的低电源电压线路V B B与输出端V O U T之间。该第三N沟道MOS场效应管Q 3的一个衬底电连接到该低电源电压线路V B B上，这样该衬底上就带有低电源电压V B B。第三N沟道MOS场效应管Q 3的一个栅极连接到第二节点B 2上。第二P沟道MOS场效应管Q 2串联于带有高电源电压V P P的高电源电压线路V P P与第一节点B 1之间。第二P沟道MOS场效应管Q 2的一个衬底电连接到高电源电压线路V P P上，这样该衬底上就带有高电源电压V P P。第二P沟道MOS场效应管Q 2的栅极连接到输出端V O U T。第四N沟道MOS场效应管Q 4串联于带有低电源电压V B B的低电源电压线路V B B与第二节点B 2之间。第四N沟道MOS场效应管Q 4的衬底电连接到低电源电压线路V B B上，这样该衬底上就带有低电源电压V B B。第四N沟道MOS场效应管Q 4的栅极连接到输出端V O U T。

该新型电平转换器电路的输入部分中包括：一个反相器D 1，第五和第七N沟道MOS场效应管Q 5和Q 7，以及第六和第八P沟道MOS场效应管Q 6和Q 8。反相器D 1具有一个连接到输入端V I N的输入端和一个连接到第三节点B 3的输出端。第五N沟道MOS场效应管Q 5串联于第一节点B 1与带有地电压G N D的地线D N D上之间。第五N沟道MOS场效应管Q 5的衬底电连接到地线G N D上，这样该衬底上带有地电压G N D。第五N沟道MOS场效应管Q 5的栅极连接到输入端V I N。第六P沟道MOS场效应管Q 6串联于第二节点B 2与带有内部电源电压V I N T的一个内部电源电压线V I N T之

间。第六P沟道MOS场效应管Q6的衬底连接到内部电源电压线VINT上,这样该衬底上带有内部电源电压VINT。第六P沟道MOS场效应管Q6的栅极连接到输入端VIN。第七N沟道MOS场效应管Q7串联于第一节点B1与高电源电压线VPP之间。第七N沟道MOS场效应管Q7的衬底连接到高电源电压线VPP上,这样该衬底上带有高电源电压VPP。第七N沟道MOS场效应管Q7连接到节点B3上。第八P沟道MOS场效应管Q8串联于第二节点B2与低电源电压线VBB之间。第八P沟道MOS场效应管Q8的衬底连接到低电源电压线VBB。第八P沟道MOS场效应管Q8的栅极连接到第三节点B3。第五和第七N沟道MOS场效应管Q5和Q7串联于高电源电压线VPP与地线GND之间。第六和第八P沟道MOS场效应管也串联于内部电源电压线VINT与低电源电压线VBB之间。

与传统电平转换电路相比较,该新型电平转换器电路的晶体管Q1、Q2、Q3、Q4、Q5和Q6的尺寸分别与传统电平转换器电路中的晶体管Q1、Q2、Q3、Q4、Q5和Q6的尺寸相同。其余晶体管Q7和Q8的尺寸分别与晶体管Q5和Q6的尺寸相同或比其小。反相器D1具有能够驱动晶体管Q7和Q8的尺寸。

下面首先说明输出电压VOUT的上升操作。

当输入电压VIN处于地电平GND,则位于反相器D1输出端的第三节点B3的电压电平为VINT,而第一节点B1的电压电平为VPP,第二节点B2的电压电平为VINT,输出端VOUT的电压电平为VBB。晶体管Q1、Q5、Q7、Q4和Q8截止,而其余晶体管Q6、Q2和Q3导通,因此各个节点就被连接到各电源电压上。

当输入电压VIN从地电平GND上升到电压电平VINT时,第三节点B3的电势从电压电平VINT下降到地电平GND。

当输入电压VIN变得不低于对应于N沟道MOS场效应管阈值电压的电压电平VTN时,则带有接收输入电压VIN的栅极的第五晶体管Q5导通,另外如果作为反相器D1输出端的第三节点B3的电势下降,则带有连接到第三节点B3的栅极的第七晶体管Q7截止,因此,第一节点B1的电势下降到地电平GND。

当输入电压VIN变得不低于电压电平 $VINT - |VTP|$ 时

(其中 V_{TP} 为P沟道MOS场效应管的阈值电压), 则带有接收输入电压 V_{IN} 的栅极的第六晶体管 Q_6 截止, 另外如果作为反相器 D_1 输出端的第三节点 B_3 的电势下降到地电平 GND , 则栅极连接到第三节点 B_3 的第八晶体管 Q_8 导通, 因此第二节点 B_2 的电势下降到接近电压电平 $|V_{TP}|$ 。由于第二节点 B_2 (或第三晶体管 Q_3 的栅极) 与带有比地电平 GND 低的低电源电压电平 V_{BB} 的低电源电压线 V_{BB} 相导通, 则用于下拉第二节点 B_2 (或第三晶体管 Q_3 的栅极) 的电势的第八晶体管 Q_8 的驱动能力比第一实施例中的强。第三晶体管 Q_3 变到截止状态的转移时间变短, 从而输出电压 V_{OUT} 上升的时间缩短了。

当第一节点 B_1 的电压电平 (或电势) 不高于电压电平 $V_{INT} - V_{TP}$ 时, 则第一晶体管 Q_1 导通, 而第三晶体管 Q_3 保持为导通状态, 因此输出电压 V_{OUT} 逐步上升。

当输出电压 V_{OUT} 不低于电压电平 $V_{BB} + V_{TN}$ 时, 第四晶体管 Q_4 导通, 因此第二节点 B_2 的电压电平下降到电压电平 V_{BB} 。结果, 第三和第八晶体管 Q_3 和 Q_8 截止。这时, 输出电压 V_{OUT} 上升到电压电平 V_{PP} 且第二晶体管 Q_2 截止, 而第一和第五晶体管 Q_1 和 Q_5 保持为导通状态。

接着下面说明输出电压 V_{OUT} 的下降操作。

当输入电压 V_{IN} 处于电压电平 V_{INT} , 则位于反相器 D_1 输出端的第三节点 B_3 的电压电平为地电平 GND , 而第一节点 B_1 的电压电平为地电平 GND , 第二节点 B_2 的电压电平为 V_{BB} , 输出端 V_{OUT} 的电压电平为 V_{PP} 。晶体管 Q_2 、 Q_3 、 Q_6 、 Q_7 和 Q_8 截止, 而其余晶体管 Q_1 、 Q_4 和 Q_5 导通, 因此各个节点就被连接到各电源电压上。

当输入电压 V_{IN} 从电压电平 V_{INT} 下降到地电平 GND 时, 第三节点 B_3 的电势从地电平 GND 上升到电压电平 V_{INT} 。

当输入电压 V_{IN} 变得不高于电压电平 $V_{INT} - |V_{TP}|$ 时; 则带有接收输入电压 V_{IN} 的栅极的第六晶体管 Q_6 导通, 另外如果作为反相器 D_1 输出端的第三节点 B_3 的电势上升到电压电平 V_{INT} ,

则带有连接到第三节点 B 3 的栅极的第八晶体管 Q 8 截止, 因此, 第二节点 B 2 的电势上升电压电平 V_{INT} 。

当输入电压 V_{IN} 变得不高于电压电平 V_{TN} 时, 则带有接收输入 V_{IN} 的栅极的第五晶体管 Q 5 截止, 另外如果作为反相器 D 1 输出端的第三节点 B 3 的电势上升到电压电平 V_{INT} , 则栅极连接到第三节点 B 3 的第七晶体管 Q 7 导通, 因此第一节点 B 1 的电势上升到接近电压电平 $V_{INT} - V_{TN}$ 。由于第一节点 B 1 (或第一晶体管 Q 1 的栅极) 导通到带有比内部电源电压电平 V_{INT} 高的高电源电压 V_{PP} 的高电源电压线 V_{PP} 上, 则用于提升第一节点 B 1 (或第一晶体管 Q 1 的栅极) 的电势的第七晶体管 Q 7 的驱动能力比第一实施例中的强。第一晶体管 Q 1 变为导通状态的转移时间缩短了, 因此输出电压 V_{OUT} 下降的时间也缩短了。

当第二节点 B 2 的电压电平 (或电势) 不低于电压电平 $V_{BB} + V_{TN}$ 时, 则第三晶体管 Q 3 导通。

当输出电压 V_{OUT} 不高于电压电平 $V_{PP} - |V_{TP}|$ 时, 第二晶体管 Q 2 导通, 因此第一节点 B 1 的电压电平上升到电压电平 V_{PP} 。结果, 第一和第七晶体管 Q 1 和 Q 7 截止。这时, 输出电压 V_{OUT} 下降到电压电平 V_{BB} 且第四晶体管 Q 4 截止, 而第三和第六晶体管 Q 3 和 Q 6 保持为导通状态。

在上述图 6 所示的新型电平转换器电路中, 位于驱动器部分的第一晶体管 Q 1 的栅极由位于输入部分且带有接收输入电压 V_{IN} 的栅极的单个晶体管 Q 5 所驱动, 而位于驱动器部分的第三晶体管 Q 3 的栅极由位于输入部分且带有接收输入电压 V_{IN} 的栅极的单个晶体管 Q 6 所驱动, 因此, 位于输入部分用于驱动位于驱动器部分的晶体管的栅极的晶体管的驱动能力得到提高, 这使得该电平转换器电路可以以高速度进行输出电压电平转换操作。

第三实施例

下面参照图 7 说明本发明的第三实施例。图 7 为说明一种能以高速度进行逻辑电压电平转换操作的新型电平转换器电路的电路图。

这种新型电平转换器包括一个输入部分和一个驱动器部分。在输入部分有一个输入输入电压 V_{IN} 的输入端, 而在驱动器部分有一个输出

输出电压 V_{OUT} 的输出端。输入部分与驱动器部分之间通过第一、第二节点 B_1 和 B_2 相连接。在输入部分有一个偏置于内部电源电压 V_{INT} 与地电平 GND 之间的输入逻辑门。在驱动器部分有一个偏置于一个高于内部电源电压 V_{INT} 的高电源电压 V_{PP} 与一个低于地电平 GND 的低电源电压之间的驱动器电路。这种新型的电平转换器电路把内部逻辑电平，例如，高电平：内部电源电压 V_{INT} ，及低电平：地电平 GND 转换为高电源电压 V_{PP} 和低电源电压 V_{BB} 。

这种新型电平转换器电路中的驱动器部分的电路结构与上述的传统电平转换器电路的驱动器部分相同。即该新型电平转换器电路的驱动器部分中包括第一第二P沟道MOS场效应管 Q_1 和 Q_2 及第三和第四N沟道MOS场效应管 Q_3 和 Q_4 。第一P沟道MOS场效应管 Q_1 串联于一条带有高电源电压 V_{PP} 的高电源电压线路 V_{PP} 与输出端 V_{OUT} 之间。第一P沟道MOS场效应管 Q_1 的衬底电连接到高电源电压线路 V_{PP} 上，这样该衬底上就带有高电源电压 V_{PP} 。第一P沟道MOS场效应管 Q_1 的栅极连接到第一节点 B_1 。第三N沟道MOS场效应管 Q_3 串联于一条带有低电源电压 V_{BB} 的低电源电压线路 V_{BB} 与输出端 V_{OUT} 之间。该第三N沟道MOS场效应管 Q_3 的一个衬底电连接到该低电源电压线路 V_{BB} 上，这样该衬底上就带有低电源电压 V_{BB} 。第三N沟道MOS场效应管 Q_3 的一个栅极连接到第二节点 B_2 上。第二P沟道MOS场效应管 Q_2 串联于带有高电源电压 V_{PP} 的高电源电压线路 V_{PP} 与第一节点 B_1 之间。第二P沟道MOS场效应管 Q_2 的一个衬底电连接到高电源电压线路 V_{PP} 上，这样该衬底上就带有高电源电压 V_{PP} 。第二P沟道MOS场效应管 Q_2 的栅极连接到输出端 V_{OUT} 。第四N沟道MOS场效应管 Q_4 串联于带有低电源电压 V_{BB} 的低电源电压线路 V_{BB} 与第二节点 B_2 之间。第四N沟道MOS场效应管 Q_4 的衬底电连接到低电源电压线路 V_{BB} 上，这样该衬底上就带有低电源电压 V_{BB} 。第四N沟道MOS场效应管 Q_4 的栅极连接到输出端 V_{OUT} 。

该新型电平转换器电路的输入部分中包括：一个反相器 D_1 ，第五和第七N沟道MOS场效应管 Q_5 和 Q_7 ，以及第六和第八P沟道MOS场效应管 Q_6 和 Q_8 。反相器 D_1 具有一个连接到输入端 V_{IN}

的输入端和一个连接到第三节点B 3的输出端。第五N沟道MOS场效应管Q 5串联于第一节点B 1与带有地电压GND的地线GND之间。第五N沟道MOS场效应管Q 5的衬底连接到地线GND上,这样该衬底上带有地电压GND。第五N沟道MOS场效应管Q 5的栅极连接到输入端VIN。第六P沟道MOS场效应管Q 6串联于第二节点B 2与带有内部电源电压VINT的一个内部电源电压线VINT之间。第六P沟道MOS场效应管Q 6的衬底连接到内部电源电压线VINT上,这样该衬底上带有内部电源电压VINT。第六P沟道MOS场效应管Q 6的栅极连接到输入端VIN。第七N沟道MOS场效应管Q 7串联于第一节点B 1第三节点B 3之间。第七N沟道MOS场效应管Q 7的衬底连接到地线GND上,这样该衬底上带有地电压GND。第七N沟道MOS场效应管Q 7的栅极连接到内部电源电压线VINT上。第八P沟道MOS场效应管Q 8串联于第二节点B 2与第三节点B 3之间。第八P沟道MOS场效应管Q 8的衬底连接到内部电源电压线VINT上,这样该衬底上带有内部电源电压VINT。第八P沟道MOS场效应管Q 8的栅极连接到地线GND上。第五和第七N沟道MOS场效应管Q 5和Q 7串联于第三节点B 3与地线GND之间。第六和第八P沟道MOS场效应管也串联于内部电源电压线VINT与第三节点B 3之间。

与传统电平转换电路相比较,该新型电平转换器电路和晶体管Q 1、Q 2、Q 3、Q 4、Q 5和Q 6的尺寸分别与传统电平转换器电路中的晶体管Q 1、Q 2、Q 3、Q 4、Q 5和Q 6的尺寸相同。其余晶体管Q 7和Q 8的尺寸分别与晶体管Q 5和Q 6的尺寸相同或比其小。反相器D 1具有能够驱动晶体管Q 7和Q 8的尺寸。

上述图 7 所示的新型电平转换器电路的时序波形与图 5 所示电路的波形无本质的改变。

下面首先说明输出电压VOUT的上升操作。

当输入电压VIN处于地电平GND,则位于反相器D 1输出端的第三节点B 3的电压电平为VINT,而第一节点B 1的电压电平为VPP,第二节点B 2的电压电平为VINT,输出端VOUT的电压电平为VBB。晶体管Q 1、Q 5、Q 7、和Q 4截止,而其余晶体管

Q 6、Q 2、Q 8 和 Q 3 导通，因此各个节点就被连接到各电源电压上。

当输入电压 V_{IN} 从地电平 GND 上升到电压电平 V_{INT} 时，第三节点 B 3 的电势从电压电平 V_{INT} 下降到地电平 GND 。

当输入电压 V_{IN} 变得不低于对应于 N 沟道 MOS 场效应管阈值电压的电压电平 V_{TN} 时，则带有接收输入电压 V_{IN} 的栅极的第五晶体管 Q 5 导通，另外如果作为反相器 D 1 输出端的第三节点 B 3 的电势下降到地电平 GND ，则带有连接到第三节点 B 3 的栅极的第七晶体管 Q 7 导通，因此，第一节点 B 1 的电势下降到地电平 GND 。

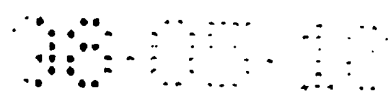
当输入电压 V_{IN} 变得不低于电压电平 $V_{INT} - |V_{TP}|$ 时（其中 V_{TP} 为 P 沟道 MOS 场效应管的阈值电压），则带有接收输入电压 V_{IN} 的栅极的第六晶体管 Q 6 截止，另外如果作为反相器 D 1 输出端的第三节点 B 3 的电势下降到地电平 GND ，则栅极连接到第三节点 B 3 的第八晶体管 Q 8 导通，因此第二节点 B 2 的电势下降到接近电压电平 $|V_{TP}|$ 。由于此时第八晶体管 Q 8 的源极与漏极的电压（或者第二节点 B 2 与地电平 GND 的电压）下降了，则第八晶体管 Q 8 的驱动能力随之下降，因此第二节点 B 2 的电压电平逐步下降。

当第一节点 B 1 的电压电平（或电势）不高于电压电平 $V_{INT} - V_{TP}$ 时，则第一晶体管 Q 1 导通，而第三晶体管 Q 3 保持为导通状态，因此输出电压 V_{OUT} 逐步上升。

当输出电压 V_{OUT} 不低于电压电平 $V_{BB} + V_{TN}$ 时，第四晶体管 Q 4 导通，因此第二节点 B 2 的电压电平下降到电压电平 V_{BB} 。结果，第三和第八晶体管 Q 3 和 Q 8 截止。这时，输出电压 V_{OUT} 上升到电压电平 V_{PP} 且第二晶体管 Q 2 截止，而第一和第五晶体管 Q 1 和 Q 5 保持为导通状态。

接着下面说明输出电压 V_{OUT} 的下降操作。

当输入电压 V_{IN} 处于电压电平 V_{INT} ，则位于反相器 D 1 输出端的第三节点 B 3 的电压电平为地电平 GND ，而第一节点 B 1 的电压电平为地电平 GND ，第二节点 B 2 的电压电平为 V_{BB} ，输出端 V_{OUT} 的电压电平为 V_{PP} 。晶体管 Q 2、Q 3、Q 6 和 Q 8 截止，而其余晶体管 Q 1、Q 4、Q 5 和 Q 7 导通，因此各个节点就被连接到



各电源电压上。

当输入电压 V_{IN} 从电压电平 V_{INT} 下降到地电平 GND 时，第三节点 B_3 的电势从地电平 GND 上升到电压电平 V_{INT} 。

当输入电压 V_{IN} 变得不高于电压电平 $V_{INT} - |V_{TP}|$ 时，则带有接收输入电压 V_{IN} 的栅极的第六晶体管 Q_6 导通，另外如果作为反相器 D_1 输出端的第三节点 B_3 的电势上升到电压电平 V_{INT} ，则连接到第三节点 B_3 的第八晶体管 Q_8 导通，因此，第二节点 B_2 的电势上升电压电平 V_{INT} 。

当输入电压 V_{IN} 变得不高于电压电平 V_{TN} 时，则带有接收输入 V_{IN} 的栅极的第五晶体管 Q_5 截止，另外如果作为反相器 D_1 输出端的第三节点 B_3 的电势上升到电压电平 V_{INT} ，则连接到第三节点 B_3 的第七晶体管 Q_7 导通，因此第一节点 B_1 的电势下降到接近电压电平 $V_{INT} - V_{TN}$ 。由于此时第七晶体管 Q_7 的源极与漏极的电压（或者第一节点 B_1 与第三节点 B_3 的电压）下降了，则第七晶体管 Q_7 的驱动能力随之下降，因此第一节点 B_1 的电压电平逐步上升。

当第二节点 B_2 的电压电平（或电势）不低于电压电平 $V_{BB} + V_{TN}$ 时，则第三晶体管 Q_3 导通。

当输出电压 V_{OUT} 不高于电压电平 $V_{PP} - |V_{TP}|$ 时，第二晶体管 Q_2 导通，因此第一节点 B_1 的电压电平上升到电压电平 V_{PP} 。结果，第一和第七晶体管 Q_1 和 Q_7 截止。这时，输出电压 V_{OUT} 下降到电压电平 V_{BB} 且第四晶体管 Q_4 截止，而第三和第六晶体管 Q_3 和 Q_6 保持为导通状态。

在上述图7所示的新型电平转换器电路的电压上升操作中，第一节点 B_1 的电势或电压电平由平行操作第五第七晶体管 Q_5 和 Q_7 来升高。结果，第一节点 B_1 变到地电平 GND 的转移时间缩短了，且第一晶体管 Q_1 的电流驱动能力提高了，因此相对于第一实施例来说输出电压 V_{OUT} 的上升时间缩短了。

在上述图7所示的新型电平转换器电路的电压下降操作中，第二节点 B_2 的电势或电压电平被第六和第八晶体管 Q_6 和 Q_8 并行操作来上升。因此，第二节点 B_2 变到内部电源电压电平 V_{INT} 的转移时间缩短了，而且第三晶体管 Q_3 的电流驱动能力提高了，因此对于第一实施

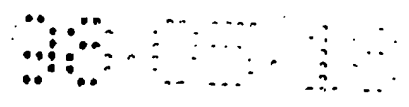
例来说，输出电压 V_{OUT} 的下降时间缩短了。

第四实施例

下面参照图 8 说明本发明的第四实施例。图 8 为说明一种能以高速进行逻辑电压电平转换操作的新型电平转换器电路的电路图。下面将详细说明这种新电平转换器电路的电路结构。

这种新型电平转换器包括一个输入部分和一个驱动器部分。在输入部分有一个输入输入电压 V_{IN} 的输入端，而在驱动器部分有一个输出输出电压 V_{OUT} 的输出端。输入部分与驱动器部分之间通过第一、第二节点 B_1 和 B_2 相连接。在输入部分有一个偏置于内部电源电压 V_{INT} 与地电平 GND 之间的输入逻辑门。在驱动器部分有一个偏置于一个高于内部电源电压 V_{INT} 的高电源电压 V_{PP} 与一个低于地电平 GND 的低电源电压之间的驱动器电路。这种新型的电平转换器电路把内部逻辑电平，例如，高电平：内部电源电压 V_{INT} ，及低电平：地电平 GND 转换为高电源电压 V_{PP} 和低电源电压 V_{BB} 。

这种新型电平转换器电路中的驱动器部分的电路结构与上述的传统电平转换器电路的驱动器部分相同。即该新型电平转换器电路的驱动器部分中包括第一第二P沟道MOS场效应管 Q_1 和 Q_2 及第三和第四N沟道MOS场效应管 Q_3 和 Q_4 。第一P沟道MOS场效应管 Q_1 串联于一条带有高电源电压 V_{PP} 的高电源电压线路 V_{PP} 与输出端 V_{OUT} 之间。第一P沟道MOS场效应管 Q_1 的衬底电连接到高电源电压线路 V_{PP} 上，这样该衬底上就带有高电源电压 V_{PP} 。第一P沟道MOS场效应管 Q_1 的栅极连接到第一节点 B_1 。第三N沟道MOS场效应管 Q_3 串联于一条带有低电源电压 V_{BB} 的低电源电压线路 V_{BB} 与输出端 V_{OUT} 之间。该第三N沟道MOS场效应管 Q_3 的一个衬底电连接到该低电源电压线路 V_{BB} 上，这样该衬底上就带有低电源电压 V_{BB} 。第三N沟道MOS场效应管 Q_3 的一个栅极连接到第二节点 B_2 上。第二P沟道MOS场效应管 Q_2 串联于带有高电源电压 V_{PP} 的高电源电压线路 V_{PP} 与第一节点 B_1 之间。第二P沟道MOS场效应管 Q_2 的一个衬底电连接到高电源电压线路 V_{PP} 上，这样该衬底上就带有高电源电压 V_{PP} 。第二P沟道MOS场效应管 Q_2 的栅极连接到输出端 V_{OUT} 。第四N沟道MOS场效应管 Q_4 串联于



带有低电源电压 V_{BB} 的低电源电压线路 V_{BB} 与第二节点 B_2 之间。第四N沟道MOS场效应管 Q_4 的衬底电连接到低电源电压线路 V_{BB} 上，这样该衬底上就带有低电源电压 V_{BB} 。第四N沟道MOS场效应管 Q_4 的栅极连接到输出端 V_{OUT} 。

该新型电平转换器电路的输入部分中包括：第五、第十一、第十二N沟道MOS场效应管 Q_5 、 Q_{11} 及 Q_{12} ，以及第六、第九和第十P沟道MOS场效应管 Q_6 、 Q_9 和 Q_{10} 。第五N沟道MOS场效应管 Q_5 串联于第一节点 B_1 与带有地电压 GND 的地线 GND 上之间。第五N沟道MOS场效应管 Q_5 的衬底连接到地线 GND 上，这样该衬底上带有地电压 GND 。第五N沟道MOS场效应管 Q_5 的栅极连接到输入端 V_{IN} 。第六P沟道MOS场效应管 Q_6 串联于第二节点 B_2 与带有内部电源电压 V_{INT} 的一个内部电源电压线 V_{INT} 之间。第六P沟道MOS场效应管 Q_6 的衬底连接到内部电源电压线 V_{INT} 上，这样该衬底上带有内部电源电压 V_{INT} 。第六P沟道MOS场效应管 Q_6 的栅极连接到输入端 V_{IN} 。第九和第十P沟道MOS场效应管 Q_9 和 Q_{10} 串联于第一节点 B_1 与内部电源电压线 V_{INT} 之间，使得第九P沟道MOS场效应管 Q_9 连接到内部电源电压线 V_{INT} ，而第十P沟道MOS场效应管 Q_{10} 连接到第一节点 B_1 。第九P沟道MOS场效应管 Q_9 的衬底连接到内部电源电压线 V_{INT} ，使得该衬底上带有内部电源电压 V_{INT} 。第十P沟道MOS场效应管 Q_{10} 也连接到内部电源电压线 V_{INT} 上，使得该衬底上带有内部电源电压 V_{INT} 。第九P沟道MOS场效应管 Q_9 的栅极连接到第十P沟道MOS场效应管 Q_{10} 上。第十P沟道MOS场效应管 Q_{10} 的栅极连接到输入端 V_{IN} 上。第十一和第十二N沟道MOS场效应管 Q_{11} 和 Q_{12} 串联于第二节点 B_2 与地线 GND 之间，使得第十一N沟道MOS场效应管 Q_{11} 连接到地线 GND 而第十二N沟道MOS场效应管 Q_{12} 连接到第二节点 B_2 。第十一N沟道MOS场效应管 Q_{11} 的衬底连接到地线 GND ，使得该衬底上带有地电压 GND 。第十二N沟道MOS场效应管 Q_{12} 的衬底连接到地线 GND 上，使得该衬底上带有地电压 GND 。第十一N沟道MOS场效应管 Q_{11} 的栅极连接到第十二N沟道MOS场效应管 Q_{12} 上。第十二N沟道MOS场效应管

Q 1 2 的栅极连接到输入端 V_{IN} 上。

第九和第十晶体管 Q 9 和 Q 1 0 的尺寸与第六晶体管 Q 6 的尺寸相同。第十一和第十二晶体管 Q 1 1 和 Q 1 2 的尺寸与第五晶体管 Q 5 的尺寸相同。

下面首先说明输出电压 V_{OUT} 的上升操作。

当输入电压 V_{IN} 处于地电平 GND ，则第一节点 B 1 的电压电平为 V_{PP} ，而第二节点 B 2 的电压电平为 V_{INT} ，输出端 V_{OUT} 的电压电平为 V_{BB} 。晶体管 Q 1、Q 5、Q 4 和 Q 1 2 截止，而其余晶体管 Q 6、Q 1 0、Q 2 和 Q 3 导通，因此各个节点就被连接到各电源电压上。

当输入电压 V_{IN} 变得不低于 N 沟道 MOS 场效应管阈值电压的电压电平时，则带有接收输入电压 V_{IN} 的栅极的第五晶体管 Q 5 导通，因此第一节点 B 1 的电势下降到地电平 GND ，当输入电压 V_{IN} 变成内部电源电压时，则第一节点 B 1 的电势变得不高于电压电平 $V_{INT} + |V_{TP}|$ （其中 V_{TP} 为 P 沟道 MOS 场效应管的阈值电压，因此带有接收输入电压 V_{IN} 的栅极的第十晶体管 Q 1 0 截止。

当输入电压 V_{IN} 变得不高于电压电平 $V_{INT} - |V_{TP}|$ （其中 V_{TP} 为 P 沟道 MOS 场效应管的阈值电压），则带有接收输入电压 V_{IN} 的栅极的第六晶体管 Q 6 截止。如果输入电压 V_{IN} 变为电压电平 V_{INT} ，则带有连接到输入端 V_{IN} 的栅极的第十二晶体管 Q 1 2 导通，因此第二节点 B 2 的电势下降到接近于电压电平 $|V_{TN}|$ 。由于这时第十二晶体管 Q 1 2 的源极与漏极的电压下降，则第十二晶体管的驱动能力下降，因此第二节点 B 2 的电势或电压电平逐步下降。

当第一节点 B 1 的电压电平（或电势）不高于电压电平 $V_{INT} - |V_{TP}|$ 时，则第一晶体管 Q 1 导通，而第三晶体管 Q 3 保持为导通状态，因此输出电压 V_{OUT} 逐步上升。

当输出电压 V_{OUT} 不低于电压电平 $V_{BB} + V_{TN}$ 时，第四晶体管 Q 4 导通，因此第二节点 B 2 的电压电平下降到电压电平 V_{BB} 。结果，第三晶体管 Q 3 截止。这时，输出电压 V_{OUT} 上升到电压电平 V_{PP} 且第二和第十晶体管 Q 2 和 Q 1 0 截止，而第一和第五晶体管 Q 1 和 Q 5 保持为导通状态。

接着下面说明输出电压 V_{OUT} 的下降操作。

当输入电压 V_{IN} 处于电压电平 V_{INT} ，而第一节点 B_1 的电压电平为地电平 GND ，第二节点 B_2 的电压电平为 V_{BB} ，输出端 V_{OUT} 的电压电平为 V_{PP} 。晶体管 Q_2 、 Q_3 、 Q_6 和 Q_{10} 截止，而其余晶体管 Q_1 、 Q_4 、 Q_5 和 Q_{12} 导通，因此各个节点就被连接到各电源电压上。

当输入电压 V_{IN} 变得不高于电压电平 $V_{INT} - |V_{TP}|$ 时，则带有接收输入电压 V_{IN} 的栅极的第六晶体管 Q_6 导通，因此第二节点 B_2 的电势上升到电压电平 V_{INT} 。当输入电压变为电平 GND ，且第二节点 B_2 的电势变为不低于电压电平 $GND - V_{TN}$ 时，则第十二晶体管 Q_{12} 截止。

当输入电压 V_{IN} 变得不高于电压电平 V_{TN} 时，带有接收输入 V_{IN} 的栅极的第五晶体管 Q_5 截止，而且如果输入电压 V_{IN} 变为地电平 GND ，则栅极连接到输入端 V_{IN} 的第十晶体管 Q_{10} 导通，因此第一节点 B_1 的电势上升到接近于电压电平 $V_{INT} - |V_{TN}|$ 。由于这时第十晶体管 Q_{10} 的源极和漏极的电压下降，则第十晶体管 Q_{10} 的驱动能力下降，因此第一节点 B_1 的电势或电压电平逐步上升。

当第二节点 B_2 的电压电平（或电势）不低于电压电平 $V_{BB} + V_{TN}$ 时，则第三晶体管 Q_3 导通。

当输出电压 V_{OUT} 不高于电压电平 $V_{PP} - |V_{TP}|$ 时，第二晶体管 Q_2 导通，因此第一节点 B_1 的电压电平上升到电压电平 V_{PP} 。结果，第一晶体管 Q_1 截止。这时，输出电压 V_{OUT} 下降到电压电平 V_{BB} 且第四和第十二晶体管 Q_4 和 Q_{12} 截止，而第三和第六晶体管 Q_3 和 Q_6 保持为导通状态。

在上述图8所示的新型电平转换器电路中，第九晶体管 Q_9 用于防止高电源电压线 V_{PP} 与内部电源电压线 V_{INT} 相导通。另外，第十一晶体管 Q_{11} 用于防止地线 GND 与低电源电压线 V_{BB} 相导通。结果，位于驱动器部分的第一晶体管 Q_1 的栅极由包括第五和第十晶体管 Q_5 和 Q_{10} 的CMOS反相器电路所控制或驱动。位于驱动器部分的第三晶体管 Q_3 的栅极由另一个包括第六和第十二晶体管 Q_6 和 Q_{12}

99.05.16

的CMOS反相器电路所控制或驱动。这种电路结构使得可以以高速度改变第一和第二节点B1和B2的电势，因此本实施例的电平转换器电路能够执行高速度的电压电平转换操作。

对于专业人士还可对本发明作一些显而易见的改动，因此应当知道本发明的范围不以说明书中所述的实施例为限，而权利要求书中则涵盖了所有落入本发明的精神和范围内的所有对本发明的改动。

98.05.18

说明书附图

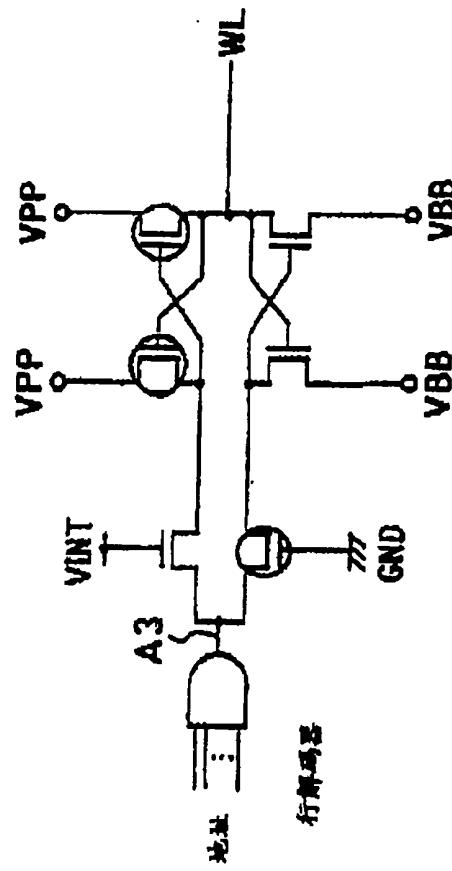


图 1

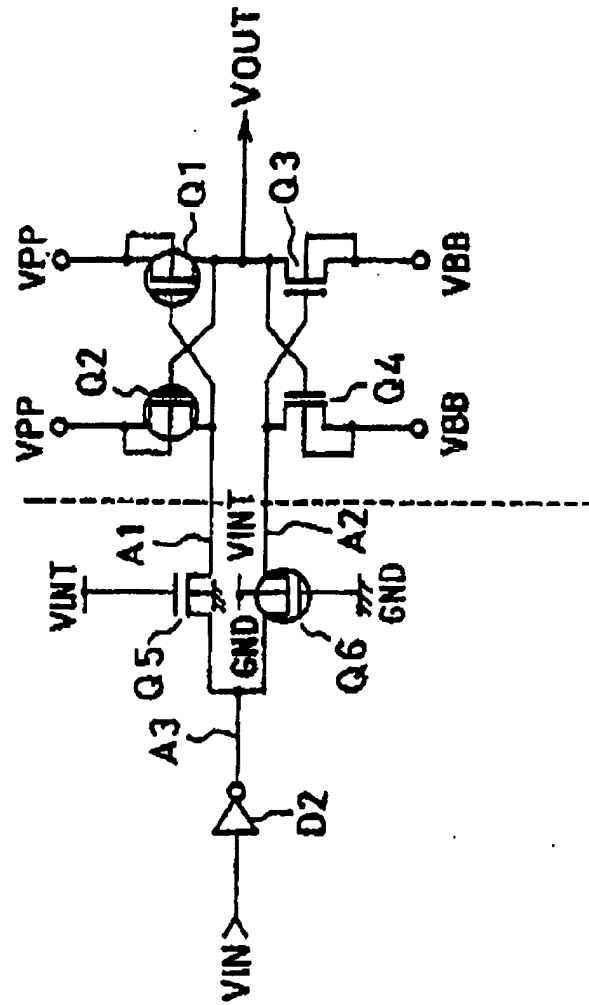


图 2

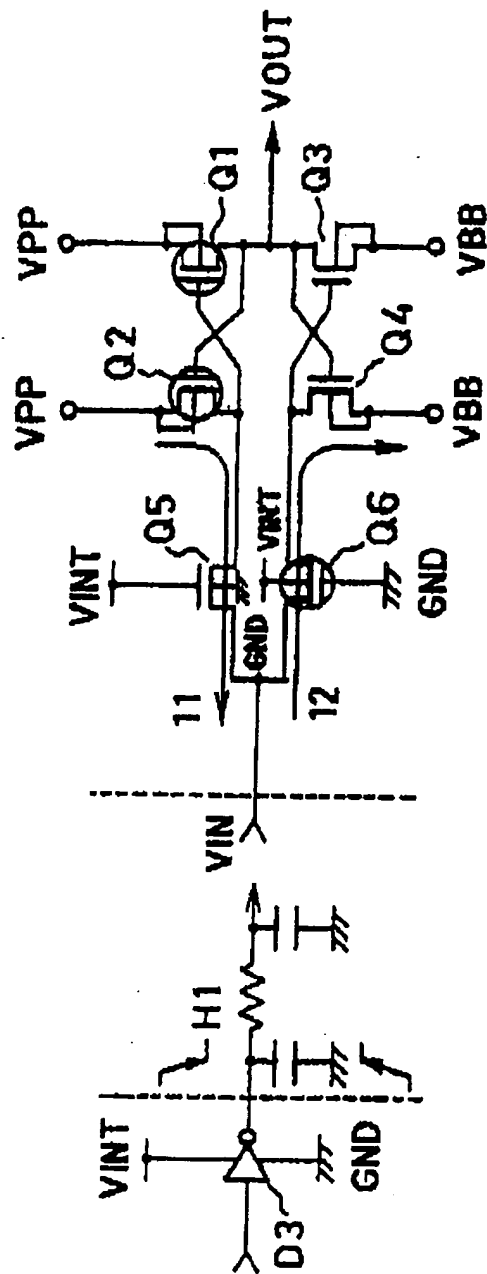


图 3

98.05.18

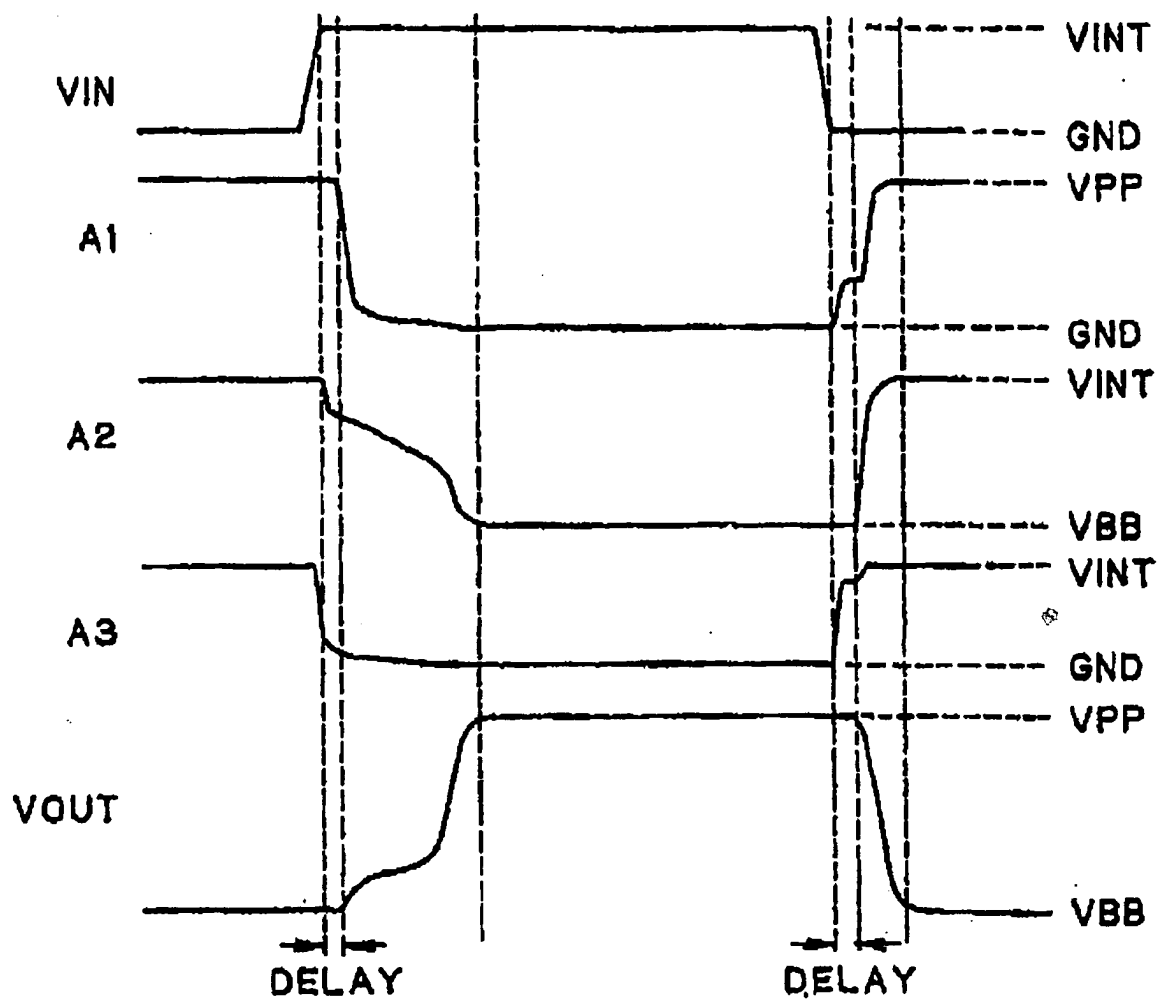


图 4

98.05.13

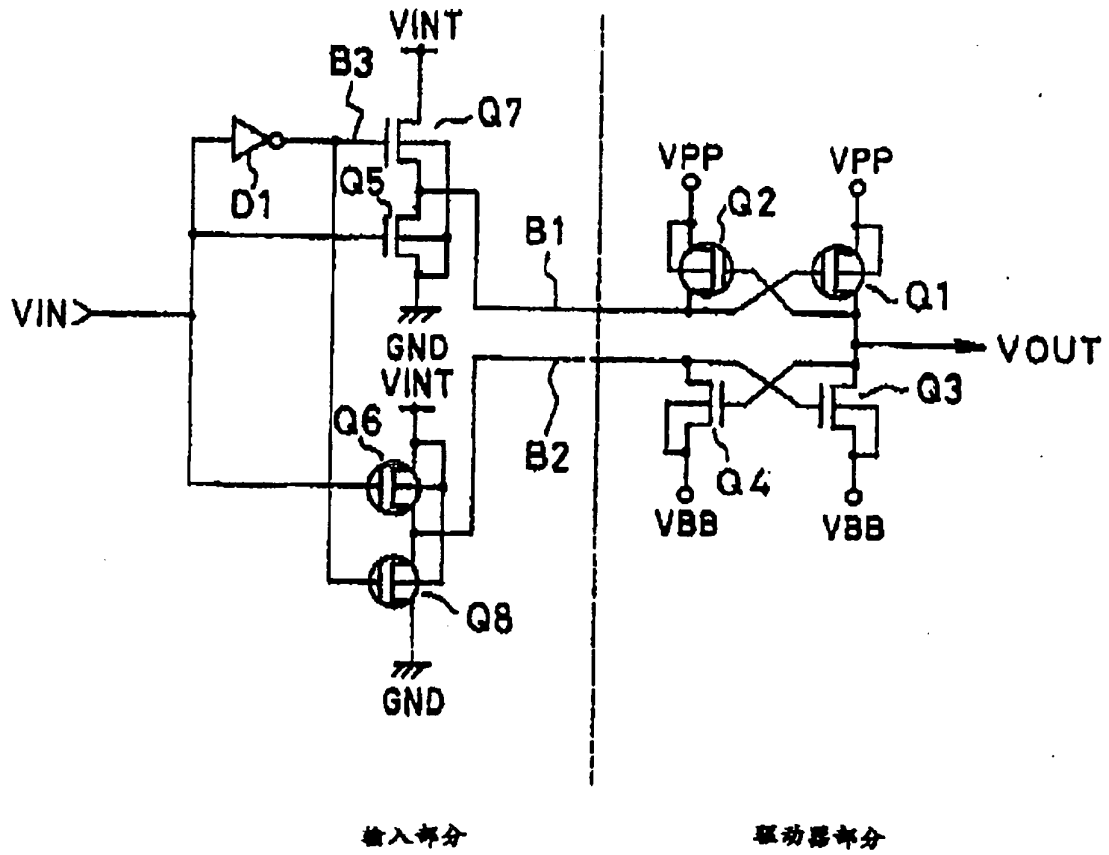


图 5

98.05.10

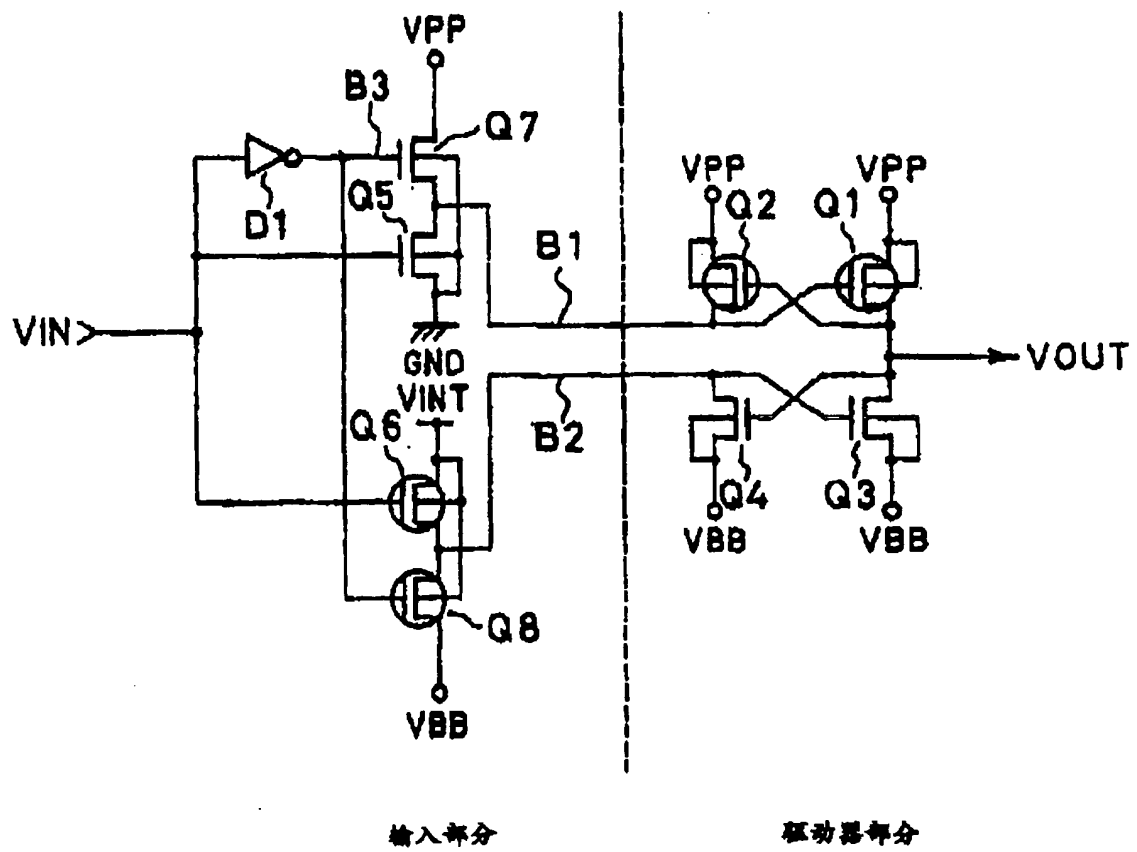


图 6

98.05.18

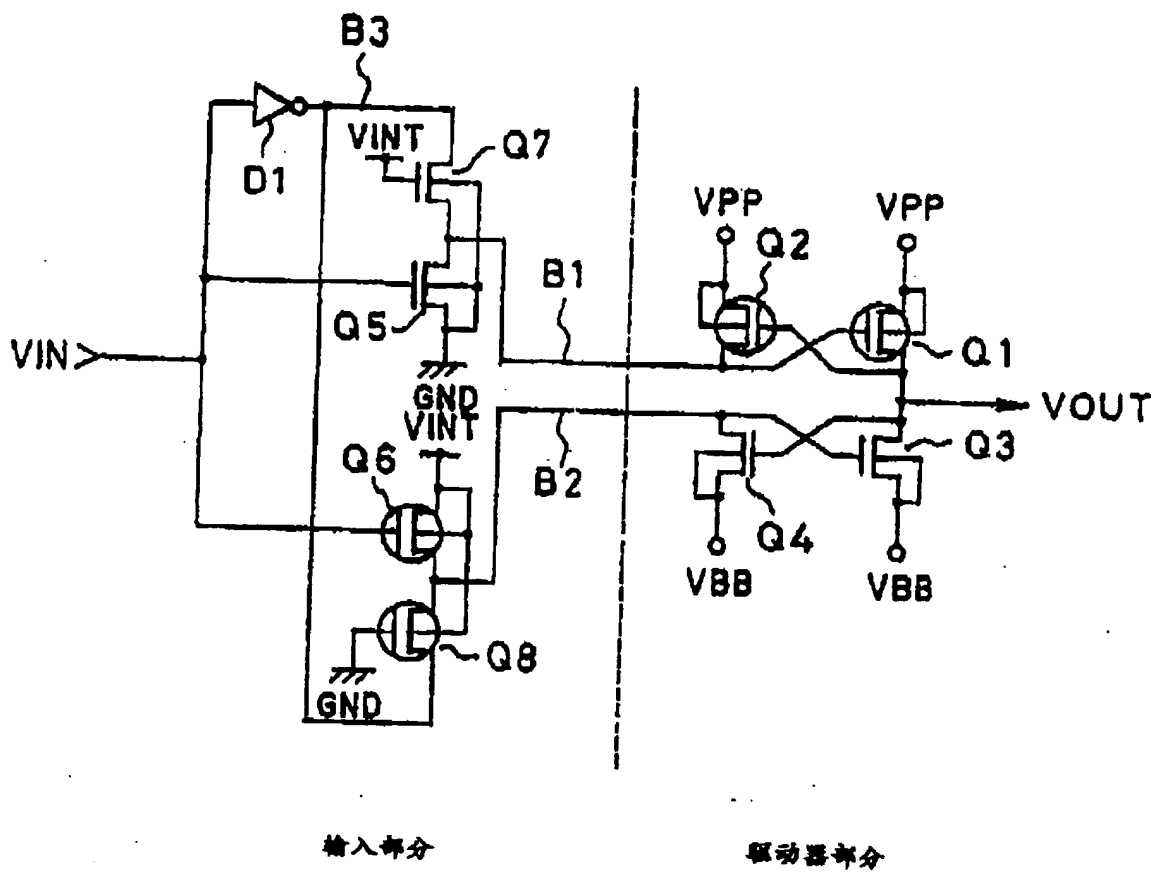


图 7

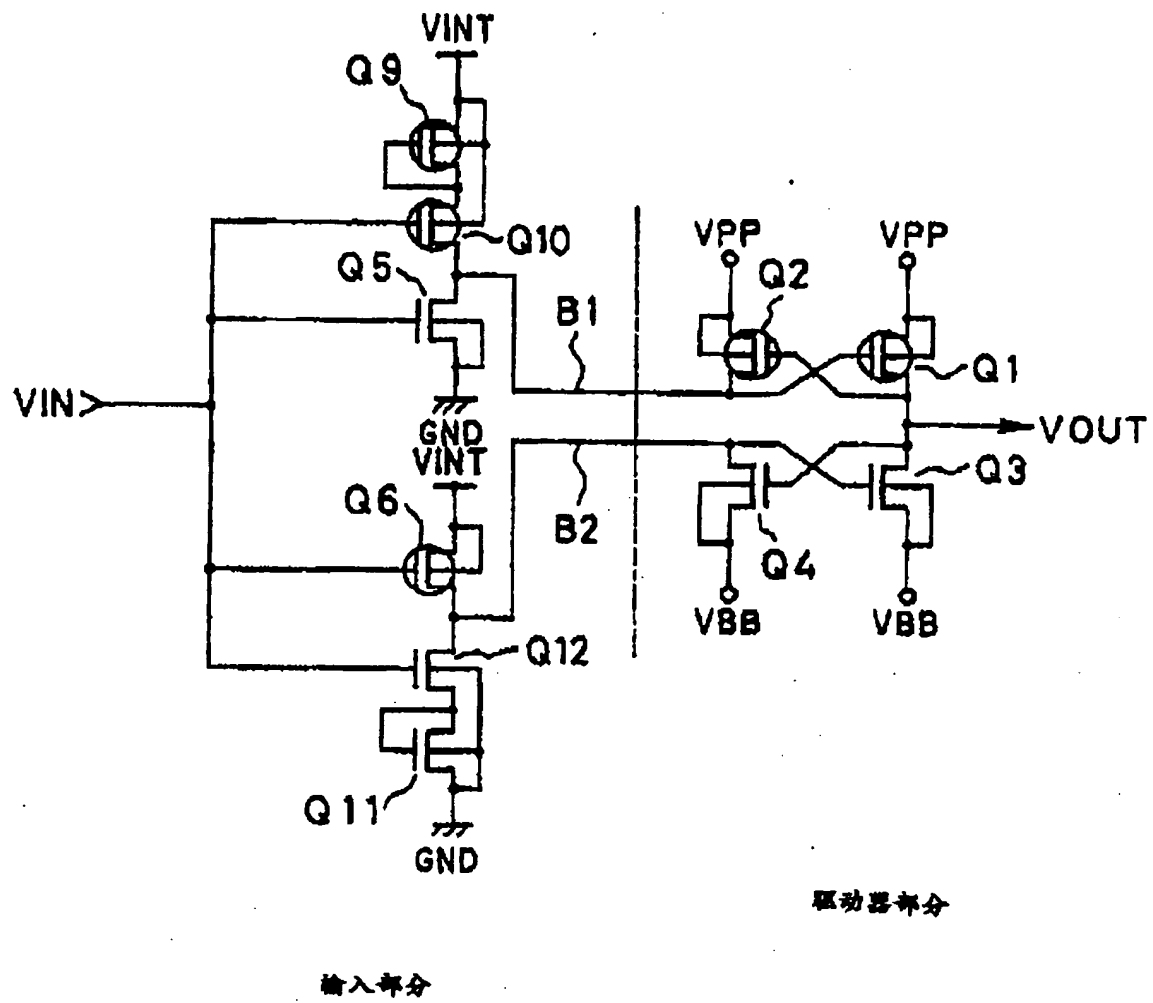


图 8

98.05.16

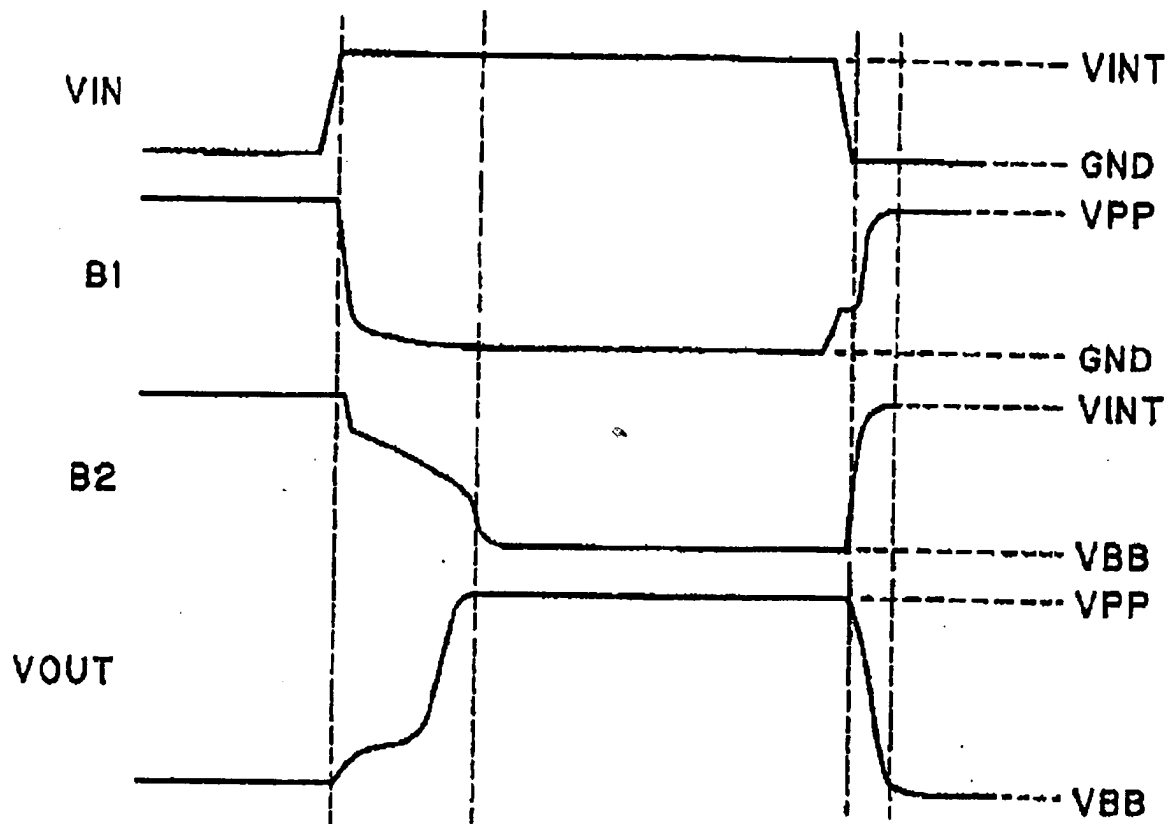


图 9